

Source: [Legal](#) > / . . . / > Patent Abstracts of Japan   
Terms: patno=2000243946 and a [\(Edit Search\)](#)

AJ  
SC13210TP

11346561 2000243946

COPYRIGHT: 2000, JPO & Japio

PATENT ABSTRACTS OF JAPAN

**2000243946**

◆ [Get Exemplary Drawing](#)  
[Access PDF of Official Patent.](#) (Note: Cost incurred in a later step)

The Adobe Acrobat Reader must be installed on your computer to access Official Patent text.  
If you do not have this FREE reader, you can download it now from [www.adobe.com](http://www.adobe.com)

September 8, 2000

**SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF**

**INVENTOR:** SUGIYAMA NAOHARU; KUROBE ATSUSHI; TEZUKA TSUTOMU; USUDA KOJI; MIZUNO TOMOHISA; HATAKEYAMA TETSUO; TAKAGI SHINICHI

**APPL-NO:** 11346561

**FILED-DATE:** December 6, 1999

**PRIORITY:** December 24, 1998 - 10367210, Japan (JP)

**ASSIGNEE-AT-ISSUE:** TOSHIBA CORP

**PUB-TYPE:** September 8, 2000 - Un-examined patent application (A)

**PUB-COUNTRY:** Japan (JP)

**IPC-MAIN-CL:** H 01L029#161

**IPC ADDL CL:** H 01L021#20, H 01L021#205, H 01L029#786

**CORE TERMS:** layer, silicon, crystalline, distortion, substrate, germanium

**ENGLISH-ABST:**

**PROBLEM TO BE SOLVED:** To use an ordinary silicon substrate and form a silicon crystalline layer undergoing distortion causing no malfunction even when an SiGe layer is thin.

**SOLUTION:** The method includes a step of forming a first silicon crystalline layer 12 doped with oxygen atoms on a silicon single crystalline substrate 11, a step of forming a silicon/germanium crystalline layer 13 on the first layer 12, a step of forming a second silicon crystalline layer 14 on the silicon/ germanium crystalline layer 13, and a step of heat-treating the second layer 14 to provide distortion thereto.

Source: [Legal](#) > / . . . / > Patent Abstracts of Japan 

Terms: **patno=2000243946 and a** ([Edit Search](#))

View: Full

Date/Time: Tuesday, September 16, 2003 - 4:37 PM EDT

[About LexisNexis](#) | [Terms and Conditions](#)

[Copyright](#) © 2003 LexisNexis, a division of Reed Elsevier Inc. All rights reserved.

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-243946

(P2000-243946A)

(43)公開日 平成12年9月8日 (2000.9.8)

(51)Int.Cl.<sup>7</sup>  
H 0 1 L 29/161  
21/20  
21/205  
29/786

識別記号

F I  
H 0 1 L 29/163  
21/20  
21/205  
29/78

マーク\*(参考)

6 1 8 B

6 1 8 E

審査請求 未請求 請求項の数11 O L (全 11 頁)

(21)出願番号 特願平11-346561  
(22)出願日 平成11年12月6日 (1999.12.6)  
(31)優先権主張番号 特願平10-367210  
(32)優先日 平成10年12月24日 (1998.12.24)  
(33)優先権主張国 日本 (JP)

(71)出願人 000003078  
株式会社東芝  
神奈川県川崎市幸区堀川町72番地  
(72)発明者 杉山 直治  
神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内  
(72)発明者 黒部 篤  
神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内  
(74)代理人 100058479  
弁理士 錦江 武彦 (外6名)

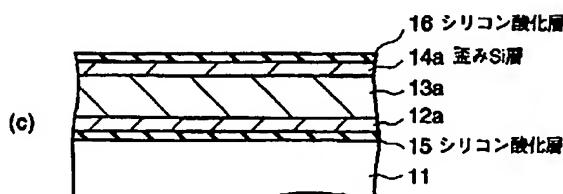
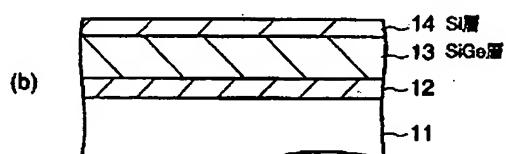
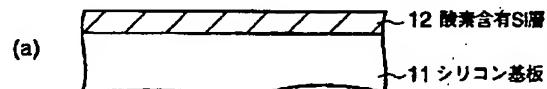
最終頁に続く

(54)【発明の名称】 半導体装置及び半導体装置の製造方法

(57)【要約】

【課題】 通常のシリコン基板を用いることができ、しかもSiGe層の膜厚が薄くても良質な歪みシリコン結晶層を形成することを可能にする。

【解決手段】 シリコン単結晶基板11上に酸素が添加された第1のシリコン結晶層12を形成する工程と、第1のシリコン結晶層12上にシリコン・ゲルマニウム結晶層13を形成する工程と、シリコン・ゲルマニウム結晶層13上に第2のシリコン結晶層14を形成する工程と、熱処理により第2のシリコン結晶層14に歪みを与える工程とを有する。



【特許請求の範囲】

【請求項1】シリコン単結晶基板上に酸素が添加された第1のシリコン結晶層を形成する工程と、この第1のシリコン結晶層上にシリコン・ゲルマニウム結晶層を形成する工程と、を有することを特徴とする半導体装置の製造方法。

【請求項2】前記シリコン・ゲルマニウム結晶層上に第2のシリコン結晶層を形成する工程と、熱処理により前記第2のシリコン結晶層に歪みを与える工程と、をさらに有することを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項3】前記第1のシリコン結晶層中の酸素濃度は1%以上かつ20%以下であることを特徴とする請求項1又は2に記載の半導体装置の製造方法。

【請求項4】前記第1のシリコン結晶層中の酸素濃度は1%以上かつ15%以下であることを特徴とする請求項1又は2に記載の半導体装置の製造方法。

【請求項5】シリコン単結晶基板上に形成された酸素が添加された第1のシリコン結晶層と、この第1のシリコン結晶層上に形成されたシリコン・ゲルマニウム結晶層と、このシリコン・ゲルマニウム結晶層上に形成された歪みを有する第2のシリコン結晶層と、を有することを特徴とする半導体装置。

【請求項6】前記第1のシリコン結晶層中の酸素濃度は1%以上かつ20%以下であることを特徴とする請求項5に記載の半導体装置。

【請求項7】前記第1のシリコン結晶層中の酸素濃度は1%以上かつ15%以下であることを特徴とする請求項5に記載の半導体装置。

【請求項8】シリコン単結晶基板上に形成された第1のシリコン結晶層と、この第1のシリコン結晶層上に形成されたシリコン・ゲルマニウム結晶層と、このシリコン・ゲルマニウム結晶層上に形成された歪みを有する第2のシリコン結晶層とを有し、前記第1のシリコン結晶層は、酸素が添加されたシリコン結晶層間にN型又はP型の不純物が添加されたシリコン結晶層が形成されたものであることを特徴とする半導体装置。

【請求項9】シリコン単結晶基板上に形成された酸素が添加された第1のシリコン結晶層と、この第1のシリコン結晶層上に形成され、酸素が添加されたシリコン結晶層と酸素が添加されていないシリコン結晶層とが交互に積層された積層シリコン層と、この積層シリコン層上に形成されたシリコン・ゲルマニウム結晶層と、このシリコン・ゲルマニウム結晶層上に形成された歪みを有する第2のシリコン結晶層と、を有することを特徴とする半導体装置。

【請求項10】前記積層シリコン層を構成する酸素が添加されていないシリコン結晶層の少なくとも一部の層には、N型又はP型の不純物が添加されていることを特徴とする請求項9に記載の半導体装置。

【請求項11】前記積層シリコン層を構成する酸素が添加されていないシリコン結晶層の少なくとも一部の層には、ゲルマニウムが添加されていることを特徴とする請求項9に記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置及びその製造方法に関する。

【0002】

【従来の技術】半導体素子の高性能化に対しては、電子の走行速度（移動度）を高めることが有効な手段の一つである。通常のシリコン単結晶では電子の移動度の上限は物性的に決まっているが、近年、歪みを持つシリコン結晶中では本来のシリコン結晶よりも電子の移動度が高められることが報告されている。

【0003】例えば、米国特許U.S.P. 4,61,243には、SOI基板上に格子緩和したSiGe層及び歪みを有するSi層を形成する技術が記載されている。

【0004】

【発明が解決しようとする課題】しかしながら、上記技術では、高価なSOI基板を用いるため、製造コストが高くなるという問題があった。

【0005】本発明の目的は、通常のシリコン基板を用いることができ、しかも歪みを有する良質なシリコン結晶層を得ることが可能な、半導体装置及び半導体装置の製造方法を提供することにある。

【0006】

【課題を解決するための手段】第1の発明に係る半導体装置の製造方法は、シリコン単結晶基板上に酸素が添加された第1のシリコン結晶層を形成する工程と、この第1のシリコン結晶層上にシリコン・ゲルマニウム結晶層（単結晶が好ましい）を形成する工程と、を有することを特徴とする。

【0007】前記製造方法において、前記シリコン・ゲルマニウム結晶層上に第2のシリコン結晶層（単結晶が好ましい）を形成する工程と、熱処理により前記第2のシリコン結晶層に歪みを与える工程と、をさらに有することが好ましい。

【0008】熱処理を行う前は、第1のシリコン結晶層、シリコン・ゲルマニウム結晶層及び第2のシリコン結晶層は、下地のシリコン単結晶基板の格子情報をほぼ引き継いでおり、シリコン・ゲルマニウム結晶層は歪みを内包している。このような構造に対して熱処理を行うことにより、第1のシリコン結晶層中に含有される酸素が凝集して、シリコン基板とシリコン・ゲルマニウム結晶層との間にシリコン酸化層が形成される。その結果、シリコン・ゲルマニウム結晶層は歪みが緩和された結晶状態（格子緩和された状態）となるとともに、第2のシリコン結晶層は歪みが内包された結晶状態になる。

【0009】このような作用により、シリコン・ゲルマニウム

ニウム結晶層の膜厚が薄くても、十分に格子緩和されたシリコン・ゲルマニウム単結晶層を得ることができ、歪みを内包する良質のシリコン単結晶層を得ることができ。

【0010】なお、第1のシリコン結晶層中に含有される酸素の濃度（原子組成比）は1%以上が好ましく、濃度の上限は半導体としての性質を失わない程度にすることが好ましい。酸素濃度が20%よりも高い場合には、結晶性は保持されるが、第1のシリコン結晶層表面の凹凸が顕著になり、平坦性が損なわれるため、第1のシリコン結晶層の酸素濃度は20%以下にすることが好ましい。また、より平坦性を良好にするために、好ましくは酸素濃度を15%以下、より好ましくは酸素濃度を12%以下とする。

【0011】第2の発明に係る半導体装置は、シリコン単結晶基板上に形成された酸素が添加された第1のシリコン結晶層と、この第1のシリコン結晶層上に形成されたシリコン・ゲルマニウム結晶層（単結晶が好ましい）と、このシリコン・ゲルマニウム結晶層上に形成された歪みを有する第2のシリコン結晶層（単結晶が好ましい）と、を有することを特徴とする。

【0012】第3の発明に係る半導体装置は、シリコン単結晶基板上に形成された第1のシリコン結晶層と、この第1のシリコン結晶層上に形成されたシリコン・ゲルマニウム結晶層（単結晶が好ましい）と、このシリコン・ゲルマニウム結晶層上に形成された歪みを有する第2のシリコン結晶層（単結晶が好ましい）とを有し、前記第1のシリコン結晶層は、酸素が添加されたシリコン結晶層間にN型又はP型の不純物が添加されたシリコン結晶層が形成されたものであることを特徴とする。

【0013】第2及び第3の発明では、シリコン・ゲルマニウム結晶層が酸素が添加された第1のシリコン結晶層上に形成されているため、シリコン・ゲルマニウム結晶層の歪みを緩和するための転位等を第1のシリコン結晶層によって吸収することができる。したがって、シリコン・ゲルマニウム結晶層の膜厚がある程度薄くても、転位等の貫通を抑制することができ、十分に格子緩和されたシリコン・ゲルマニウム結晶層を得ることができるとともに、歪みを内包する良質のシリコン結晶層を得ることができる。

【0014】また、酸素が添加された第1のシリコン結晶層のバンドギャップが広いことから、SOI構造と同様に素子の容量を低減することも可能である。

【0015】さらに、第3の発明では、不純物が添加されたシリコン結晶層によって下地のポテンシャルを固定することができ、ショートチャネル効果を有効に防止することができる。

【0016】なお、第1のシリコン結晶層中に含有される酸素の濃度（原子組成比）については、第1の発明と同様である。

【0017】第4の発明に係る半導体装置は、シリコン単結晶基板上に形成された酸素が添加された第1のシリコン結晶層と、この第1のシリコン結晶層上に形成され、酸素が添加されたシリコン結晶層と酸素が添加されていないシリコン結晶層とが交互に積層された積層シリコン層と、この積層シリコン層上に形成されたシリコン・ゲルマニウム結晶層（単結晶が好ましい）と、このシリコン・ゲルマニウム結晶層上に形成された歪みを有する第2のシリコン結晶層（単結晶が好ましい）とを有することを特徴とする。

【0018】前記積層シリコン層を構成する酸素が添加されていないシリコン結晶層の少なくとも一部の層には、N型又はP型の不純物が添加されているようにしてもよい。

【0019】前記積層シリコン層を構成する酸素が添加されていないシリコン結晶層の少なくとも一部の層には、ゲルマニウムが添加されているようにしてもよい。

【0020】第4の発明では、シリコン・ゲルマニウム結晶層が積層シリコン層上に形成されているため、シリコン・ゲルマニウム結晶層の歪みを緩和するための転位等を超格子構造の積層シリコン層によって吸収することができる。したがって、先の発明と同様、シリコン・ゲルマニウム結晶層の膜厚がある程度薄くても、転位等の貫通を抑制することができ、十分に格子緩和されたシリコン・ゲルマニウム結晶層を得ることができるとともに、歪みを内包する良質のシリコン結晶層を得ることができる。

【0021】また、積層シリコン層を構成する酸素が添加されていないシリコン結晶層の少なくとも一部の層に不純物を添加することにより、先の発明と同様、不純物が添加された層によって下地のポテンシャルを固定することができ、ショートチャネル効果を有効に防止することができる。

【0022】なお、第1のシリコン結晶層中に含有される酸素の濃度（原子組成比）については、第1の発明と同様である。

【0023】また、本願では、さら以下の半導体装置の製造方法A及び製造方法Bを提供している。

【0024】製造方法Aは、シリコン単結晶基板の上方にシリコン・ゲルマニウム結晶層を形成する工程と、酸化性雰囲気で熱処理を行うことにより、前記シリコン単結晶基板と前記シリコン・ゲルマニウム結晶層との間に第1のシリコン酸化層を形成するとともに前記シリコン・ゲルマニウム結晶層上に第2のシリコン酸化層を形成し、かつ、前記シリコン・ゲルマニウム結晶層の膜厚を薄くするとともに前記シリコン・ゲルマニウム結晶層中のゲルマニウム濃度を増加させる工程と、を有することを特徴とする。

【0025】製造方法Aにおいて、前記酸化性雰囲気で熱処理を行う際に、前記シリコン単結晶基板と前記シリ

コン・ゲルマニウム結晶層との間に、シリコン酸化層又は酸素が添加されたシリコン層が形成されていることが好ましい。

【0026】酸化性雰囲気で熱処理を行うことにより、第1及び第2のシリコン酸化層が形成される(熱処理を行う前にシリコン酸化層がすでに存在する場合には、膜厚が増加した第1及び第2のシリコン酸化層が形成される)。シリコン・ゲルマニウム結晶層上ののみならず、シリコン単結晶基板とシリコン・ゲルマニウム結晶層との間にシリコン酸化層が形成されるのは、酸化性雰囲気で熱処理を行うことにより、シリコン・ゲルマニウム結晶層中を酸素が輸送されるためである。

【0027】第1及び第2のシリコン酸化層が形成されるため、シリコン・ゲルマニウム結晶層の膜厚は薄くなる。また、第1及び第2のシリコン酸化層中にはゲルマニウムがほとんど存在せず、第1及び第2のシリコン酸化層がゲルマニウムの拡散を抑制する障壁として機能する。これらの理由により、第1及び第2のシリコン酸化層に挟まれたシリコン・ゲルマニウム結晶層中のゲルマニウム濃度が上昇することになる。よって、シリコン酸化層上に、膜厚が薄くゲルマニウム濃度の高い、高品質のシリコン・ゲルマニウム結晶層を形成することができる。

【0028】製造方法Bは、シリコン単結晶基板上にシリコン・ゲルマニウム結晶層を形成する工程と、酸化性雰囲気で熱処理を行うことにより、前記シリコン・ゲルマニウム結晶層内に第1のシリコン酸化層を形成するとともに前記シリコン・ゲルマニウム結晶層上に第2のシリコン酸化層を形成し、かつ、前記第1のシリコン酸化層と前記第2のシリコン酸化層との間にシリコン・ゲルマニウム結晶層中のゲルマニウム濃度を増加させる工程と、を有することを特徴とする。

【0029】製造方法Bにおいて、前記酸化性雰囲気で熱処理を行う際に、前記シリコン・ゲルマニウム結晶層内に、シリコン酸化層又は酸素が添加されたシリコン層が形成されていることが好ましい。

【0030】この製造方法Bにおいても、前記製造方法Aと同様、シリコン酸化層上に、膜厚が薄くゲルマニウム濃度の高い、高品質のシリコン・ゲルマニウム結晶層を形成することができる。

【0031】前記製造方法A及びBにおいて、前記第2のシリコン酸化層を除去して前記シリコン・ゲルマニウム結晶層の表面を露出させる工程と、露出したシリコン・ゲルマニウム結晶層上に歪みを有するシリコン結晶層を形成する工程と、をさらに有するようにしてもよい。

### 【0032】

【発明の実施の形態】以下、本発明の実施形態を図面を参照して説明する。

【0033】【実施形態1】本発明の第1の実施形態について、図1を参照して説明する。

【0034】まず、(100)方位を結晶面を持つシリコン単結晶基板11上に、酸素を2%含有するSi結晶層12を堆積する(図1(a))。

【0035】この酸素含有シリコン結晶層12の成膜は、到達真空度が $10^{-8}$ Paの超高真空容器で構成される超高真空CVD装置により行う。この装置の構成については、特願平7-245236に詳しいが、その概略について以下説明する。真空中で保持される基板の裏側には基板を加熱するためのグラファイト製基板加熱ヒーターが設置されており、シリコン基板を1000°Cまで加熱することが可能である。さらに、基板表面側には気體分子原料を熱分解するための補助ヒーターが設けられている。この外部ヒーターの働きにより、基板温度が低く、基板表面での原料分解が起こらない条件でも、分解した原料を基板に供給することが可能であり、低温での膜成長を促進することが可能である。

【0036】この装置を利用した具体的な成膜条件は、基板温度を600°Cとし、シリコン薄膜成長の原料としてジシラン( $Si_2H_6$ )ガスを用い、原料ガスの分圧を20mPaとした。また、酸素原子をシリコン薄膜中に混入させるために、成膜雰囲気に酸素ガスを1%含むヘリウムガスを導入した。このときのヘリウムの分圧は10mPaであり、酸素の分圧は0.1mPaであったと推定される。また、基板表面側の外部ヒーターを1800°Cに加熱した。この状態で50分間の成膜を行うことにより、シリコン結晶中に2%の酸素原子を含む膜厚40nmの酸素含有シリコン結晶層12を得ることができた。この酸素含有シリコン結晶層12は、下地のシリコン単結晶基板11の格子情報を引き継ぐ程度に良質な単結晶層である。

【0037】酸素含有シリコン結晶層12の形成が終了した後、酸素・ヘリウム混合ガスの供給を停止する。さらに、外部ヒーターの温度を下げて、新たにゲルマン( $GeH_4$ )ガスを導入することにより、SiGe結晶層の薄膜成長を行う。このときの成膜条件は、基板温度600°C、ジシラン分圧20mPa、ゲルマン分圧45mPaとした。7分間の成膜により、Ge組成比20%、厚さ100nmのSiGe結晶層13が得られた。得られたSiGe結晶層13は、歪みが加わった状態で保持されている。SiGe結晶層13の成膜終了後に、ゲルマンガスの供給を停止し、基板温度600°C、ジシランガス分圧8mPaの成膜条件でシリコン結晶層の成長を行い、厚さ20nmのシリコン結晶層14を形成した(図1(b))。

【0038】本実施形態では、外部ヒーターを利用してジシランガスを一部分解し、これを基板表面に供給する方法を採用しているが、外部ヒーターを利用せずに基板表面での原料分解によって酸素含有シリコン層を成膜しようとすると、酸素含有シリコン層の成膜速度は0.1nm/分にまで低下する。これは、基板表面が酸素原子

で覆われて不活性になり、ジシラン分子の分解が阻害されるためと推定される。このとき、ジシランガスの分圧を増加させて成膜速度を増加させることも可能であるが、基板温度が低い状態で大量のジシランガスを供給すると、成膜層が非晶質或いは多結晶になり易い。本発明においては、酸素含有シリコン層12上に形成されるSiGe13層及びSi1層14が、下地の単結晶基板の格子情報を受け継いで単結晶層になることが重要である。

【0039】なお、基板表面以外で原料ガスを分解して成長を促進させる方法として、アラズマCVD法も有効である。この場合も上述したのと同様、成膜層が多結晶にならぬようにすることが重要である。

【0040】以上説明したような方法により、シリコン単結晶基板11上に、酸素含有Si1結晶層12、SiGe結晶層13及びSi1結晶層14(Siキャップ層)を真空を破らずに連続的に形成する。この段階では、SiGe結晶層13は、下地のSi1結晶層12の格子に整合しており、内部に歪みを有している。

【0041】このようにして形成した積層基板に対して酸化炉で熱酸化処理を施す。この熱酸化処理工程は、通常の半導体製造で用いられている熱酸化工程でよい。本実施形態では、水蒸気を導入した酸化性雰囲気において、950°C、30分の条件で熱酸化を行った。この工程により、酸素含有Si1結晶層12内の酸素原子は凝縮し、SiO<sub>2</sub>及びSiOからなる非晶質のシリコン酸化層が形成される。その結果、Si1基板11上に、非晶質SiO<sub>x</sub>層15(厚さ3nm)、酸素をわずかに含むSi1結晶層12a(16nm)、SiGe結晶層13a(100nm)、Si1結晶層14a(10nm)、SiO<sub>2</sub>層16(20nm)という積層構造が形成される(図1(c))。

【0042】このように、熱処理を行うことによって、SiGe結晶層13aは格子緩和し、本来のSi<sub>1</sub>Geの格子定数に近づく。一方、酸素をわずかに含むSi1結晶層12a及び表面側のSi1結晶層14aには格子歪みが加わる。なお、加熱処理後のSi1結晶層にはSiGe結晶層からGeが拡散してきており、1%~数%程度のGeが含まれている。

【0043】SiGe層13aの格子緩和の割合(熱工程によって緩和したSiGe層の垂直方向と水平方向の格子定数の比)が熱工程を経る前に比べて十分でない場合には、さらに熱処理を加えることが望ましい。この時、酸化性ガスをわずかに含む不活性ガス雰囲気で熱処理を行うことが有効である。具体的には、酸素ガスを0.2%~0.8%程度含む窒素ガス或いはアルゴンガス雰囲気において、加熱温度を1200°C程度まで上昇させることにより、十分に格子緩和したSiGe層を得ることが可能である。また、熱酸化工程を一切行わずに、酸素をわずかに含む不活性ガス雰囲気で1000°C以上の熱処理を加えることによってもSiGe層の一部

を格子緩和させることが可能である。

【0044】上述した熱処理における加熱温度の上限は、Siの融点(1450°C程度)以下にする必要があるが、SiGeの場合には加熱温度の上限はさらに低くなる(具体的な温度範囲は、後述する実施形態4に記載する)。

【0045】なお、酸化性ガスをわずかに含む不活性ガス雰囲気で加熱処理を行うのは、Si1結晶層表面にわずかに酸化膜を残存させることにより、表面の平坦性を維持するためである。

【0046】SiGe層13aの格子緩和の割合は、Si1層14aの厚さとSiGe層13aの厚さの比等で変化し、SiGe層が薄いSi1層で挟まれている場合、100%格子緩和したSiGe層を得ることは困難である。ただし、加熱処理の温度が1050°Cよりも高く、かつ加熱時間が1時間よりも長い場合には、SiGe層中のGeがSi1層中に拡散する。そのため、Si1層の厚さが薄い場合には、Si1層が無くなり、均質なSiGe層が得られる。

【0047】なお、本実施形態では、酸素含有Si1層として厚さ40nm、酸素濃度2%の層を形成したが、基板温度、原料ガスの分圧等の成膜の条件を変化させることにより、厚さと濃度を自在に設定することができる。酸素濃度を増加した場合は、酸素含有Si1層の上に成長するSi1層の結晶性の劣化が問題となるが、酸素含有Si1層の厚さを薄くすることにより、問題は回避できる。

【0048】また、酸素濃度が高い場合は、酸素含有Si1層の厚さが薄くてもアニール後にSiO<sub>x</sub>層として十分機能する層が得られる。具体的に利用できる酸素含有Si1層の酸素濃度と厚さの関係を図6に示した。図6に示すように、酸素濃度が高いほど、酸素含有Si1層の厚さを薄くすることができる。ただし、酸素濃度が20%よりも高い場合には、結晶性は保持されるが、第1のシリコン結晶層表面の凹凸が顕著になり、平坦性が損なわれる。酸素含有Si1層上に酸素を含まないSiGe層或いはSi1層を成長させた場合でも、表面の平坦性は改善されない。

【0049】したがって、第1のシリコン結晶層の酸素濃度は20%以下にすることが好ましい。また、より平坦性を良好にするために、好ましくは酸素濃度を15%以下、より好ましくは酸素濃度を12%以下とする。また、下限については1%以上とする。

【0050】さらに、酸素含有Si1層の厚さが限りなく薄く、実質的にSi1の結晶層間に $1.5 \times 10^{15} \text{ cm}^{-2}$ 程度の酸素原子が存在する層が形成できれば、SiGe結晶層を格子緩和させ、最上層のSi1結晶層に歪を加えることが可能となる。

【0051】[実施形態2] 本発明の第2の実施形態について、図2~図4を参照して説明する。

【0052】図2に示した例では、シリコン単結晶基板21上に、酸素を1%含有するシリコン結晶層22(厚さ $1\mu\text{m}$ )を形成し、続いてGeの組成比が20%のSiGe結晶層23(厚さ $500\text{nm}$ )を形成し、さらにその上に歪みを有するシリコン結晶層24(厚さ $20\text{nm}$ )を形成している。これらの積層構造は、例えば第1の実施形態における熱処理前の工程と同様の工程によって形成することができるが、第1の実施形態の場合よりもSiGe層23の膜厚が厚いため、シリコン層24に歪みを持たせることができる。

【0053】図2に示した積層構造では、SiGe結晶層23の格子緩和に伴うエネルギーを酸素含有シリコン層22で吸収できるため、良質の歪みシリコン層24を得ることが可能である。また、本例では第1の実施形態とは異なり、酸素含有シリコン層22には高温熱処理工程による酸素の凝集やシリコン酸化層の形成は生じていない。この酸素含有シリコン層22の禁制帯幅は通常のシリコン結晶の禁制帯幅よりも広いため、絶縁体層上の半導体層に素子を形成した場合と同様に、素子の容量を低減できるという効果がある。

【0054】図3に示した例は、図2に示した例に対してさらに、砒素(As)をドーピングした層を設けている。すなわち、シリコン単結晶基板21上に、酸素を1%含有するシリコン結晶層22a(厚さ $2\mu\text{m}$ )、砒素を $5\times 10^{20}\text{cm}^{-3}$ の濃度でドーピングしたシリコン結晶層25(厚さ $100\text{nm}$ 、酸素は添加されていない)、酸素を1%含有するシリコン結晶層22b(厚さ $100\text{nm}$ )、Geの組成比が20%のSiGe結晶層23(厚さ $500\text{nm}$ )、歪みを有するシリコン結晶層24(厚さ $20\text{nm}$ )を順次積層した構造となっている。

【0055】このような構造を用いることにより、砒素をドーピングした層に対して電極を接続することができ、この電極を介して基板側の電位を固定させることができる。よって、電界効果型トランジスタのチャネルが形成される層の電位を安定させることができるという効果がある。

【0056】図4に示した例は、図2に示した例に対してさらに、砒素をドーピングしたシリコン層(酸素を添加していないシリコン結晶層)と酸素が添加されたシリコン層からなる超格子構造を設けている。すなわち、シリコン単結晶基板21上に、酸素を1%含有するシリコン結晶層22(厚さ $2\mu\text{m}$ )を形成する。続いて、砒素(As)を $5\times 10^{20}\text{cm}^{-3}$ の濃度でドーピングしたシリコン結晶層26(厚さ $20\text{nm}$ )と、酸素を1%含有するシリコン結晶層27(厚さ $20\text{nm}$ )を、それぞれ複数層づつ形成して超格子構造を形成する。さらに、超格子構造の上に、Geの組成比が20%のSiGe結晶層23(厚さ $500\text{nm}$ )、歪みを有するシリコン結晶層24(厚さ $20\text{nm}$ )を順次形成している。

【0057】このような構造を用いても、砒素をドーピングした層に対して電極を接続することにより、この電極を介して基板側の電位を固定させることができ、電界効果型トランジスタのチャネルが形成される層の電位を安定させることができる。

【0058】なお、図4に示した例では、超格子構造を形成する酸素が添加されていない層26には全て砒素をドーピングしているが、最上層のみに砒素をドーピングし、その他の下層側の層には砒素をドーピングしないようにもよい。

【0059】また、図4に示した例において、超格子構造を形成する酸素が添加されていない層26の代わりにSiGe結晶層を形成してもよい。この場合、SiGe結晶層と酸素含有シリコン結晶層からなる超格子構造によって転位を発生させることができ、この転位を超格子構造の上に形成されたSiGe層23まで貫通させずに超格子構造内で止めることができるために、良質の歪みシリコン層を形成することができる。この場合、超格子構造を構成するSiGe結晶層及び酸素含有シリコン結晶層の積層数を増やし、SiGe層中のGe組成比を下層側から上層側に向けて徐々に増加させることにより、上層側のSiGe層への転位の伝播を抑制することができ、より良質の歪みシリコン層を得ることができる。この場合、超格子構造の中の最上層のSiGe層のみに砒素をドーピングすればよい。

【0060】[実施形態3] 本発明の第3の実施形態について、図5を参照して説明する。本実施形態は、上述した第1或いは第2の実施形態で示したような構造を用いて、これに電界効果型トランジスタを作成した例である。

【0061】図5に示した例は、第1の実施形態で示した方法によって作成した積層基板に対して電界効果型トランジスタを形成した例である。電界効果型トランジスタの作成には従来用いられている技術を適用すればよい。すなわち、ゲート絶縁膜31となるシリコン酸化層上に多結晶Si層32を堆積し、これをゲート電極の形状に加工し、さらにソース・ドレイン領域33を形成することにより、電界効果型トランジスタが作成される。

【0062】図5に示した構造では、歪みSi層14aをチャンネル形成層として利用できるので、キャリア移動度(特に電子移動度)を高めることができとなる。また、実質的に誘電体としても振る舞う酸素含有シリコン層15によってシリコン基板11と素子領域とが分離されているため、ソース・ドレイン領域の容量を小さくすることが可能となり、高速動作のFETが実現可能となる。

【0063】[実施形態4] 本発明の第4の実施形態について、図7を参照して説明する。

【0064】まず、(100)方位を結晶面に持つシリコン単結晶基板11上に、酸素を7%含有するSi結晶

層12を堆積する。この酸素含有シリコン結晶層12の成膜は、第1の実施形態で述べたと同様に、超高真空CVD装置により行う(図7(a))。

【0065】この装置を利用した具体的な成膜条件は、基板温度を600°Cとし、シリコン薄膜成長の原料としてジシラン( $\text{Si}_2\text{H}_6$ )ガスを用い、原料ガスの分圧を20mPaとした。また、酸素原子をシリコン薄膜中に混入させるために、成膜雰囲気に酸素ガスを2%含むヘリウムガスを導入した。このときのヘリウムの分圧は10mPaであり、酸素の分圧は0.2mPaであったと推定される。また、基板表面側の外部ヒーターを1800°Cに加熱した。この状態で40分間の成膜を行うことにより、シリコン結晶中に7%の酸素原子を含む膜厚15nmの酸素含有シリコン結晶層12を得ることができた。この酸素含有シリコン結晶層12は、下地のシリコン単結晶基板11の格子情報を引き継ぐ程度に良質な単結晶層である。

【0066】酸素含有シリコン結晶層12の形成が終了した後、酸素・ヘリウム混合ガスの供給を停止する。さらに、新たにゲルマン( $\text{GeH}_4$ )ガスを導入することにより、 $\text{SiGe}$ 結晶層の薄膜成長を行う。このときの成膜条件は、基板温度600°C、ジシラン分圧20mPa、ゲルマン分圧45mPaとした。7分間の成膜により、Ge組成比20%、厚さ100nmの $\text{SiGe}$ 結晶層13が得られた。得られた $\text{SiGe}$ 結晶層13は、歪みが加わった状態で保持されている。 $\text{SiGe}$ 結晶層13の成膜終了後に、ゲルマンガスの供給を停止し、基板温度600°C、ジシランガス分圧8mPaの成膜条件でシリコン結晶層の成長を行い、厚さ20nmのシリコン結晶層14を形成した(図7(b))。

【0067】以上説明したような方法により、シリコン結晶基板11上に、酸素含有 $\text{Si}$ 結晶層12、 $\text{SiGe}$ 結晶層13及び $\text{Si}$ 結晶層14( $\text{Si}$ キャップ層)を真空を破らずに連続的に形成する。この段階では、 $\text{SiGe}$ 結晶層13は、下地の $\text{Si}$ 結晶層12の格子に整合しており、内部に歪みを有している。

【0068】このようにして形成した積層基板に対して酸化炉で熱酸化処理を施す。この熱酸化処理工程は、通常の半導体製造で用いられている熱酸化工程でよい。本実施形態では、950°C、30分の条件で熱酸化を行った。この工程により、酸素含有 $\text{Si}$ 層12内の酸素原子は凝縮し、 $\text{SiO}_2$ 及び $\text{SiO}$ からなる非晶質のシリコン酸化層が形成される。ただし、上記の熱酸化条件では、非晶質のシリコン酸化層は必ずしも平坦にはならない。熱酸化処理前の酸素含有 $\text{Si}$ 結晶層の酸素濃度及び厚さにも依存するが、酸素濃度が10%以下で、かつ熱処理温度が1100°C以下の条件では、非晶質のシリコン酸化層の平坦性を良好にすることは難しい。また、酸素含有 $\text{Si}$ 結晶層の $\text{Si}$ 濃度が低い場合、或いは熱処理温度が低い場合には、非晶質のシリコン酸化層は球状に

凝縮し、連続膜にならない場合もある。

【0069】上述した熱酸化処理を行うことにより、 $\text{Si}$ 基板11上に、非晶質 $\text{SiO}_2$ 層15(平均厚さ8nm)、酸素をわずかに含む $\text{Si}$ 結晶層12a(16nm)、 $\text{SiGe}$ 結晶層13a(100nm)、 $\text{Si}$ 結晶層14a(10nm)、 $\text{SiO}_2$ 層16(20nm)という積層構造が形成される(図7(c))。

【0070】このように、熱処理を行うことによって、 $\text{SiGe}$ 結晶層13aは格子緩和し、本来の $\text{SiGe}$ の格子定数に近づく。一方、酸素をわずかに含む $\text{Si}$ 結晶層12a及び表面側の $\text{Si}$ 結晶層14aには格子歪みが加わる。なお、加熱処理後の $\text{Si}$ 結晶層には $\text{SiGe}$ 結晶層からGeが拡散してきており、1%~数%程度のGeが含まれている。

【0071】以上のようにして熱酸化処理を行った基板に対して、酸素濃度の高い酸化性雰囲気で高温アニールを行う。具体的には、この第2回目の加熱工程は、温度1280°C、酸素ガス及びアルゴンガスの濃度比が1:1の条件で、15分間行う。なお、雰囲気中の酸素ガスの比率(分圧比)は10%以上であることが好ましい。この加熱処理により、厚さ120nmのシリコン酸化層16aが形成される。具体的には、 $\text{Si}$ 基板11上に、 $\text{SiO}_2$ 層(シリコン酸化層15a、厚さ15nm)、 $\text{SiGe}$ 結晶層13b(Ge組成比22%、厚さ80nm)、 $\text{SiO}_2$ 層(シリコン酸化層16a、厚さ120nm)という積層構造が形成される(図7(d))。

【0072】ここで注目すべき点は、表面側のシリコン酸化層16aのみならず、シリコン酸化層15aの厚さが増大していることである。これは、表面側より酸素が $\text{SiGe}$ 結晶層13aを通過してシリコン酸化層15aに供給され、シリコン酸化層15aの成長を促したためと解釈できる。また、シリコン酸化層15a及び16aの厚さが増加し、 $\text{SiGe}$ 結晶層13bの厚さが減少している。また、シリコン酸化層15a及び16a中にはGe原子はほとんど残存していない。その結果、 $\text{SiGe}$ 結晶層13b中のGe濃度が上昇している。

【0073】また、2回目の高温加熱工程により、1回目の加熱処理工程後には平坦性が悪かったシリコン酸化層15が平坦になることも確認されている。すなわち、球状の酸化物状態や不連続膜状態であったシリコン酸化層15が、2回目の高温加熱工程により、きわめて平坦なシリコン酸化層15aとなる。

【0074】2回目の高温加熱処理をより長時間施すことにより、シリコン酸化層15a及び16aの膜厚をさらに増加させ、 $\text{SiGe}$ 結晶層をより薄くするとともに $\text{SiGe}$ 結晶層中のGe濃度をより高くすることも可能である。ただし、Ge濃度が高濃度になると、高温加熱処理時に $\text{SiGe}$ 層が劣化することもあり得る。場合によっては、Geが分離して溶け出したり、蒸気圧の上昇によって突沸を起こす場合もあり得る。このような問題

を回避するためには、加熱温度を下げることが有効である。Ge組成比が25%を超える場合は1250°C以下、30%を超える場合は1230°C以下が望ましい。また、加熱処理の途中の過程でSiGe層の膜厚が薄くなるとともにGe濃度が高くなるため、加熱温度を徐々に下げることも有効である。

【0075】2回目の加熱処理の後、酸素ガスの比率を低下させて、さらに3回目の高温加熱処理を行うことにより、SiGe結晶層の結晶品質を高めることができ。2回目の加熱処理が終了した時点で、SiGe結晶層はほぼ100%格子緩和しているが、2回目の加熱処理時間が短い場合には、結晶品質が十分でないことがある。3回目の加熱処理工程では、アルゴンガス中に1%以下、好ましくは0.2%~0.8%程度、より好ましくは0.5%の酸素ガスを含む雰囲気で、4時間程度の加熱処理を行う。これにより、SiGe層の結晶品質を改善することが可能である。

【0076】以上の3段階の加熱処理工程の中で最も重要な工程は、2回目の加熱工程である。1回目の加熱処理工程は省略することが可能である。また、2回目の加熱処理工程において、酸素ガスの比率を下げて酸化速度を低下させるとともに、加熱処理時間を長くすれば、3回目の加熱処理工程の時間を短縮あるいは省略することも可能である。

【0077】なお、本実施形態で示した3段階の加熱処理工程は、酸素含有Si結晶層を下地に有する積層構造以外にも適用が可能である。例えば、一般的な方法で作成されたSOI基板上にSiGe結晶層及びSi結晶層をエピタキシャル成長させ、その後で上記加熱処理工程を行うことにより、Ge濃度の高い格子緩和したSiGe結晶層を直接シリコン酸化層上に形成することが可能である。

【0078】以下、図8を参照して具体的な例を説明する。

【0079】シリコン基板41上にシリコン酸化層42を介してSi結晶層43(厚さ10nm)が形成されたSOI基板を用意する。このSOI基板上にGe組成比10%のSiGe結晶層44(厚さ100nm)を形成し、さらにSi結晶層45(厚さ15nm)を形成する。この段階では、SiGe結晶層44はSi結晶層43に格子整合し、歪みを有している(図8(a))。

【0080】次に、上述した第1から第3の加熱処理を行う。第1の加熱処理により表面側にはシリコン酸化層が形成される。その後、酸化性雰囲気で第2の高温加熱処理工程を行うことにより、表面側のシリコン酸化層46及び内部のシリコン酸化層42a(埋め込み酸化膜)の厚さが増大する。このとき、シリコン酸化層46及び42aに挟まれた結晶領域中でGe原子が拡散する。Si結晶層43及び45中にもGe原子が拡散するため、実質的に組成が均一なSiGe結晶層44aが形成され

る。また、第2の高温加熱処理により、SiGe結晶層44aは格子緩和する。第2の高温加熱処理において、加熱温度が1050°C以上で加熱時間が1時間以上であれば、Ge原子はSi結晶層へ十分に拡散する。その後、第3の加熱処理を行うことにより結晶は高品質化される(図8(b))。

【0081】また、本実施形態で示した3段階の加熱処理工程は、SIMOXプロセスへの応用も可能である。以下、図9を参照して具体的な例を説明する。

【0082】シリコン基板51上に厚さ1μm以上のSiGe結晶層52(Ge組成比1.5%)を形成し、このSiGe結晶層52上にSi結晶層53(Siキャップ層、厚さ20nm)を形成する(図9(a))。

【0083】次に、SiGe結晶層52中に酸素イオンを注入し、その後、上述した第1から第3の加熱処理を行う(第2及び第3の加熱処理だけでもよい)。このような加熱処理により、SiGe結晶層52a及び52b間にシリコン酸化層54が、SiGe結晶層52b上にシリコン酸化層55が形成される。シリコン酸化層54上では、格子緩和したSiGe結晶層52bが得られる(図9(b))。

【0084】具体的な工程は以下の通りである。まず、Si基板51上に形成されたSiGe結晶層に、加速電圧160keVで酸素イオンを $4 \times 10^{17}$ atoms/cm<sup>2</sup>注入する。第1の加熱処理を行った後、酸素を多量に含む酸化性雰囲気で第2の加熱処理を行い、シリコン酸化層54(埋め込み酸化膜)を形成するとともに、表面側のシリコン酸化層55の膜厚を増大させる。同時に、シリコン酸化層54及び55に挟まれた領域のSiGe結晶層52b中のGe濃度を高め、かつSiGe結晶層52bの厚さを薄くする。

【0085】なお、SIMOX工程の場合、酸素イオンが注入された領域は、完全にガラス化したシリコン酸化層にはならない。そのため、酸素イオンが注入された領域は、Ge原子の拡散を防止する障壁にはなり得ない。したがって、SiGe層の厚さが酸素イオンの飛程よりもわずかに厚い程度では、高温加熱処理の初期段階においてGeが拡散してしまい、SiGe層中のGe濃度が低下してしまう。これを防止するためには、SiGe層の厚さを、酸素イオン注入における酸素イオンの飛程よりも十分に厚くする必要がある。

【0086】本実施形態では、シリコン酸化層(あるいは酸素を多量に含むSi層)に挟まれたSiGe層に対して、酸素ガスを多量に含む酸化性雰囲気で高温加熱することが重要である。この酸化性雰囲気での高温加熱処理により、表面領域が酸化されるばかりでなく、酸素原子が結晶層内部に輸送されるため、埋め込み酸化膜が成長する。その結果、平坦で良質な非晶質の埋め込み酸化膜が得られる。さらに、両シリコン酸化層中にはGe原子が取り込まれず、ガラス化したシリコン酸化層はGe

原子の拡散を抑制する障壁として機能する。その結果、両シリコン酸化層に挟まれた SiGe層では、厚さが薄くなると同時にGe濃度が高くなる。

【0087】従来より、SiGe層に直接酸素イオン注入を行い、SIMOX工程により埋め込み酸化膜上に格子緩和したSiGe層を形成する手法は報告されている。しかしながら、Ge濃度が高いSiGe層では、加熱条件の設定が難しく、良質なSiGe-OI(SiGe On Insulator)層の形成は容易ではなかった。本実施形態の手法では、SiGe層のGe濃度が低い条件でも第2の高温加熱処理によってGe濃度が増加するため、Ge濃度が高いSiGe層が容易に得られるという効果が期待できる。

【0088】なお、第2の高温加熱工程における酸化性雰囲気としては、酸素ガス雰囲気以外にも、水蒸気(H<sub>2</sub>O)を多量に含む雰囲気でもよい。

【0089】また、本実施形態では、シリコン酸化層上に厚さが100nmより薄く、Ge濃度が15%より高いSiGe層を形成する手法を中心に述べたが、以下のプロセスを行うようにしてもよい。第2の高温加熱工程で形成された表面酸化膜をフッ酸(HF)あるいは希化アンモニウム溶液で除去し、SiGe層を露出させる。露出したSiGe層上に、厚さ50nm程度あるいはそれ以下のSi層を成長させることにより、歪みSi層/格子緩和したSiGe層の積層構造を、絶縁物上に形成することが可能となる。

【0090】以上、本発明の実施形態について説明したが、本発明は上記実施形態に限定されるものではなく、その趣旨を逸脱しない範囲内において種々変形して実施することが可能である。

#### 【0091】

【発明の効果】本発明によれば、高価なSOI基板を用いることなく、シリコン・ゲルマニウム結晶層の膜厚を薄くしても、格子緩和されたシリコン・ゲルマニウム結晶層を得ることができ、歪みを内包する良質のシリコン結晶層を得ることが可能となる。

【0092】また、本発明によれば、シリコン・ゲルマニウム結晶層の膜厚がある程度薄くても、転位等の貫通を抑制することができ、歪みを内包する良質のシリコン

結晶層を得ることができる。また、SOI構造と同様に素子の容量を低減することも可能であり、さらに、不純物が添加されたシリコン結晶層を設けることによって下地のポテンシャルを固定することができる、ショートチャネル効果を有効に防止することが可能となる。

#### 【図面の簡単な説明】

【図1】本発明の第1の実施形態に係る半導体装置の製造方法の一例を模式的に示した工程断面図。

【図2】本発明の第2の実施形態に係る半導体装置の構成の一例を模式的に示した断面図。

【図3】本発明の第2の実施形態に係る半導体装置の構成の他の例を模式的に示した断面図。

【図4】本発明の第2の実施形態に係る半導体装置の構成の他の例を模式的に示した断面図。

【図5】本発明の第3の実施形態に係る半導体装置の構成の一例を模式的に示した断面図。

【図6】酸素含有Si層の酸素濃度と厚さとの関係を示した図。

【図7】本発明の第4の実施形態に係る半導体装置の製造方法の一例を模式的に示した工程断面図。

【図8】本発明の第4の実施形態に係る半導体装置の製造方法の他の例を模式的に示した工程断面図。

【図9】本発明の第4の実施形態に係る半導体装置の製造方法の他の例を模式的に示した工程断面図。

#### 【符号の説明】

11、21、41、51…シリコン基板

12、12a、22、22a、22b、27…酸素含有シリコン結晶層

13、13a、13b、23、44、44a、52、52a、52b…SiGe結晶層

14、43、45、53…Si結晶層

14a、24…歪みシリコン結晶層

15、15a、16、16a、42、42a、46、54、55…シリコン酸化層

25…不純物含有Si結晶層

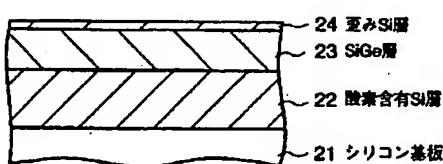
26…酸素が添加されていないシリコン結晶層

31…ゲート絶縁膜

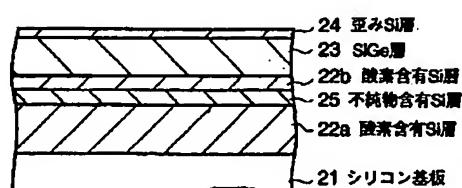
32…ゲート電極

33…ソース・ドレイン領域

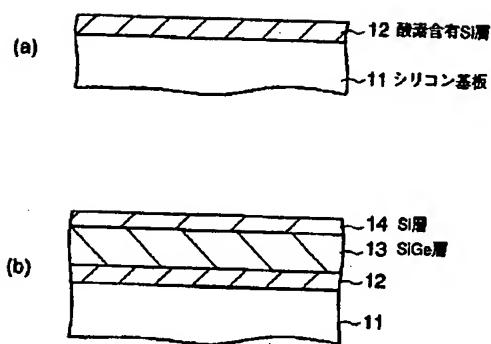
【図2】



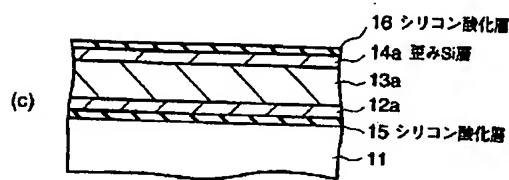
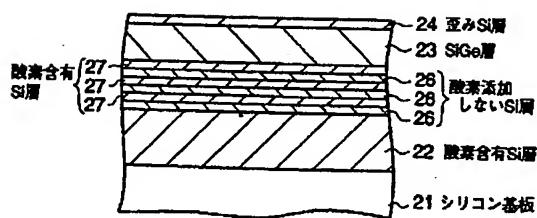
【図3】



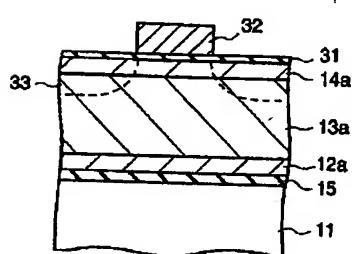
【図1】



【図4】



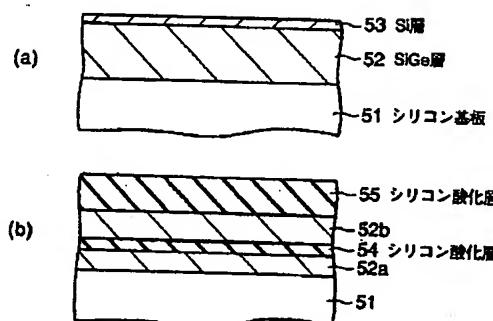
【図5】



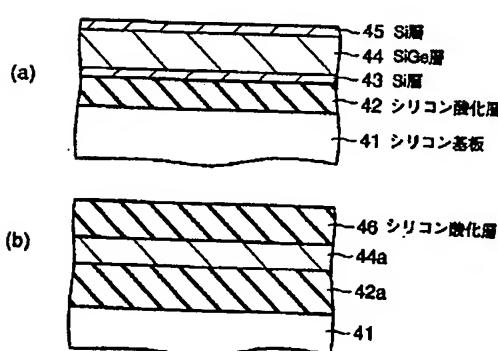
【図6】

酸素濃度	2%	5%	10%	15%
厚さ	40nm	20nm	10nm	5nm

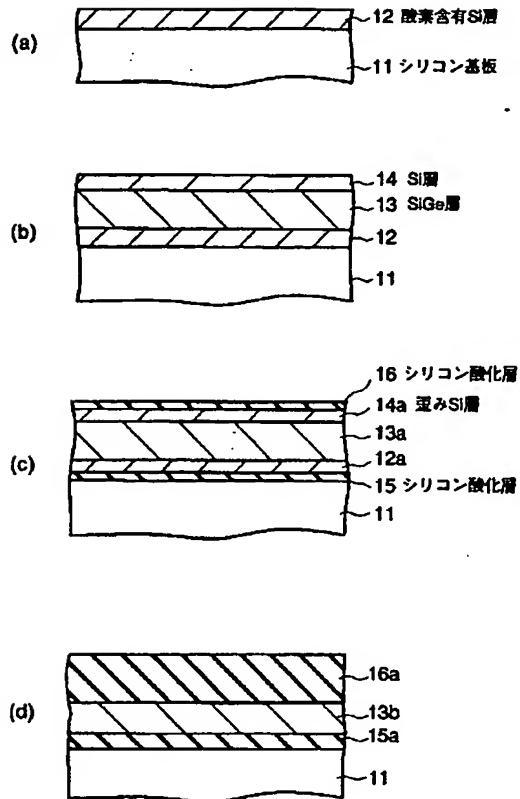
【図9】



【図8】



【図7】



---

フロントページの続き

(72)発明者 手塚 勉  
神奈川県川崎市幸区小向東芝町1番地 株  
式会社東芝研究開発センター内  
(72)発明者 白田 宏治  
神奈川県川崎市幸区小向東芝町1番地 株  
式会社東芝研究開発センター内

(72)発明者 水野 智久  
神奈川県横浜市磯子区新杉田町8番地 株  
式会社東芝横浜事業所内  
(72)発明者 嶋山 哲夫  
神奈川県川崎市幸区小向東芝町1番地 株  
式会社東芝研究開発センター内  
(72)発明者 高木 信一  
神奈川県横浜市磯子区新杉田町8番地 株  
式会社東芝横浜事業所内

**THIS PAGE BLANK (USPTO)**